

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平7-211809

(43) 公開日 平成7年(1995)8月11日

(51) Int.Cl. <sup>6</sup>	識別記号	弁内整理番号	F I	技術表示箇所
H 0 1 L	21/8247			
	29/788			
	29/792			

	H 0 1 L	29/ 78	3 7 1
7210-4M		27/ 10	4 3 4

審査請求 未請求 請求項の数5 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願平6-5193

(22) 出願日 平成6年(1994)1月21日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 荒瀬 謙士朗

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

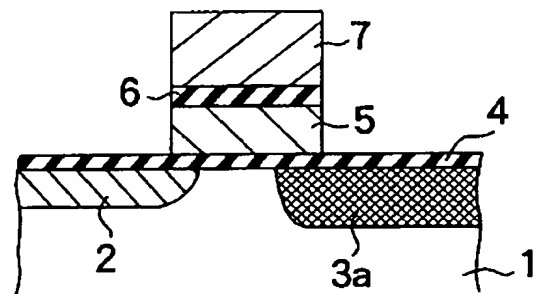
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体不揮発性記憶装置およびその製造方法

(57) 【要約】

【目的】書き込み必要電圧の上昇、データ書き込みの特性バラツキを抑えることができ、繰り返し動作によるゲート絶縁膜の劣化によるデータ書き込み特性への影響が小さく、信頼性の向上を図れる半導体不揮発性記憶装置およびその製造方法を実現する。

【構成】D I N O R型の半導体不揮発性記憶装置において、ドレイン拡散層3aの構造をソース拡散層2の構造よりも、フローティングゲート5とのオーバーラップ部分が大きく、かつ、その部分での拡散濃度を高く設定して、いわゆる非対称型メモリセルとして構成する。これにより、ソース側からの拡散層の伸びを抑え、短チャネル現象の増大をドレイン側のみに限定できる。



## 【特許請求の範囲】

【請求項1】 FNTトンネリングによりデータの書き込みおよび消去を行うDINOR型の半導体不揮発性記憶装置であって、

ソースおよびドレイン拡散構造が非対称である半導体不揮発性記憶装置。

【請求項2】 ソースおよびドレインのうちいずれか一方の拡散構造が他方の拡散構造よりも、フローティングゲートとのオーバーラップ部分が大きく、かつ、その部分での拡散濃度が高く設定されている請求項1記載の半導体不揮発性記憶装置。

【請求項3】 書き込みおよび消去動作と読み出し動作とで、ソースおよびドレインを切り替える手段を有する請求項1または請求項2記載の半導体不揮発性記憶装置。

【請求項4】 DINOR型の半導体不揮発性記憶装置の製造方法であって、

ソース拡散層およびドレイン拡散層を形成するに際し、イオン注入によりソース拡散層およびドレイン拡散層を形成した後、

ソース拡散層およびドレイン拡散層のうちいずれか一方の拡散層に対して追加イオン注入を行い、一方の拡散濃度を他方の拡散濃度より高く設定する半導体不揮発性記憶装置の製造方法。

【請求項5】 DINOR型の半導体不揮発性記憶装置の製造方法であって、

ソース拡散層およびドレイン拡散層を形成するに際し、一方の拡散濃度が他方の拡散濃度より高くなるように、ソース拡散層とドレイン拡散層とでイオン注入を別工程で行う半導体不揮発性記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、電気的に書き換え可能な不揮発性メモリ、たとえばフラッシュEEPROMなどの半導体不揮発性記憶装置およびその製造方法に関するものである。

## 【0002】

【従来の技術】NOR型フラッシュEEPROMにおいて、ビット線方向に主ビット線と副ビット線に分割し、その間に選択トランジスタを1個配置する構造のDINOR (Divided bit line NOR)型フラッシュEEPROMが提案されている。このDINOR型フラッシュEEPROMの場合、書き込み／消去動作共に、FN (Fowler-Nordheim) トンネリングにより行われるため、チャネルホットエレクトロン (CHE) /FN方式のNOR型フラッシュEEPROMの動作に比べると低消費電流で行われることから、低電圧化に適している。

【0003】図15は、ビット線方向に8ビット分を単位別に副ビット線に分割した場合の、たとえば1ビットライン1副ビット線部のDINOR型フラッシュEEP

ROMのメモリアレイを示す図である。また、図16は、メモリアレイパターンを示す図で、図15のメモリアレイは図16中、破線で囲んだメモリトランジスタ8個、選択トランジスタ1個分を示している。図15および図16において、SWLは選択ワード線、WL1~WL8はワード線、MBLは主ビット線、SBLは副ビット線、SRLはソースライン、STは選択トランジスタ、MT1~MT8はメモリトランジスタ、CNT<sub>MBL</sub>は主ビット線コンタクト、CNT<sub>SBL</sub>は副ビット線コンタクト、LCSは素子分離領域をそれぞれ示している。

【0004】このメモリセルは、図15に示すように、主ビット線MBLから副ビット線SBLが分岐し、分岐したそれぞれの副ビット線SBLに複数のメモリトランジスタが、選択トランジスタSTを介して並列に並ぶ配列となっている。

【0005】図17は、DINOR型フラッシュEEPROMのセル構造例を示す断面図である。図17において、1は基板、2はソース拡散層、3はドレイン拡散層、4はゲート絶縁膜、5はフローティングゲート、6はPoly-Poly層間絶縁膜、7はコントロールゲートをそれぞれ示している。一般的に、DINOR型のメモリセルは、図17に示すように、ソース拡散層2とドレイン拡散層3とが、拡散濃度を含めて対称構造をなし、かつ、フローティングゲート5に対して略等しくオーバーラップするように構成されている。

【0006】このような構成を有するDINOR型フラッシュEEPROMにおいて、FNTトンネリングによる消去、書き込み、並びに読み出し動作は、以下のようにして行われる。

【0007】まず、消去時には、選択ワード線SWLを0Vに設定して選択トランジスタSTをオフ状態にし、ビット線BLに接続されたドレインをフローティング状態に設定する。続いて、ワード線WLを10V~20V程度にバイアス、共通ソースラインSRLおよび基板をマイナス5V~6V程度にバイアスすることにより、フローティングゲート5中に電子を注入する。その結果、メモリトランジスタMTのしきい値電圧V<sub>TH</sub>は、5V~6V以上になり、オフ状態となる。

【0008】書き込み時には、選択ワード線SWLを10V~15Vに設定して選択トランジスタSTをオン状態にし、共通ソースラインSRLをフローティング状態に設定する。続いて、ワード線WLをマイナス10V~15V程度にバイアスし、「1」データ書き込みの場合には、ビット線BL (ドレイン) に5V~6V程度、「0」データ書き込みの場合にはビット線BL (ドレイン) に0Vを印加する。その結果、「1」データ書き込みの場合にのみ、フローティングゲート5中の電子がドレインから引き抜かれ、メモリトランジスタMTのしきい値電圧V<sub>TH</sub>は、1V~2V程度に下がる。

【0009】読み出し時には、選択ワード線SWLを3

V～5Vに設定して選択トランジスタSTをオン状態にし、続いて、ワード線WLを3V～5V程度、ビット線（ドレイン）に1～2V程度印加して、ビット線に十分電流が流れた場合には「1」データ、流れない場合には「0」データと判定する。

【0010】なお、図18は、上述したDINOR型フラッシュEEPROMの消去、書き込み、読み出しの各動作時の設定電圧を示している。

【0011】

【発明が解決しようとする課題】しかしながら、上述した従来型の対称型メモリセルでは、短チャネル現象防止の観点から、ソース／ドレインとフローティングゲートとのオーバーラップ部分を大きく、かつ、拡散濃度を高く設定することが極めて困難である。そのため、データ書き込み時に、ドレイン拡散層の空乏層の影響を受けてデータ書き込み時の必要電圧が高くなるだけでなく、特性バラツキが大きくなり、さらには、図19に示すように、データの書き込み動作を繰り返すうちに、電子トラップETや界面準位IVが発生する等、ゲート絶縁膜の劣化の影響を受けやすく、信頼性の低下につながるなどの問題があった。

【0012】本発明は、かかる事情に鑑みてなされたものであり、その目的は、書き込み必要電圧の上昇、データ書き込みの特性バラツキを抑えることができ、繰り返し動作によるゲート絶縁膜の劣化によるデータ書き込み特性への影響が小さく、信頼性の向上を図ることができる半導体不揮発性記憶装置およびその製造方法を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するため、本発明のFNTンネリングによりデータの書き込みおよび消去を行うDINOR型の半導体不揮発性記憶装置では、ソースおよびドレイン拡散構造が非対称に構成されている。

【0014】本発明の半導体不揮発性装置では、ソースおよびドレインのうちいずれか一方の拡散構造が他方の拡散構造よりも、フローティングゲートとのオーバーラップ部分が大きく、かつ、その部分での拡散濃度が高く設定されている。

【0015】本発明の半導体不揮発性装置では、書き込みおよび消去動作と読み出し動作とで、ソースおよびドレインを切り替える手段を有する。

【0016】また、本発明のDINOR型の半導体不揮発性記憶装置の製造方法では、ソース拡散層およびドレイン拡散層を形成するに際し、イオン注入によりソース拡散層およびドレイン拡散層を形成した後、ソース拡散層およびドレイン拡散層のうちいずれか一方の拡散層に対して追加イオン注入を行い、一方の拡散濃度を他方の拡散濃度より高く設定する。

【0017】また、本発明のDINOR型の半導体不揮

発性記憶装置の製造方法では、ソース拡散層およびドレイン拡散層を形成するに際し、一方の拡散濃度が他方の拡散濃度より高くなるように、ソース拡散層とドレイン拡散層とでイオン注入を別工程で行う。

【0018】

【作用】本発明の半導体不揮発性記憶装置によれば、ソース側またはドレイン側からの拡散層の伸びを抑え、短チャネル現象の増大をドレイン側またはソース側のみに限定できる。

10 【0019】本発明の半導体不揮発性記憶装置の製造方法によれば、ソース拡散層およびドレイン拡散層を形成するに際し、まず、同一工程にて、イオン注入によりソース拡散層およびドレイン拡散層が形成される。そして、ソース拡散層およびドレイン拡散層のうちいずれか一方、たとえばドレイン拡散層に対する追加イオン注入が高濃度あるいは斜めイオン注入により行われ、ドレインの拡散濃度がソースの拡散濃度より高く設定される。

20 【0020】また、本発明の半導体不揮発性記憶装置の製造方法によれば、ソース拡散層およびドレイン拡散層を形成するに際し、別々の工程でイオン注入が行われる。そして、たとえばソース側におけるイオン注入よりもドレイン側におけるイオン注入が、高濃度あるいは斜めイオン注入により行われ、ドレインの拡散濃度がソースの拡散濃度より高く設定される。

【0021】

30 【実施例】図1は、本発明に係るDINOR型フラッシュEEPROMの一実施例を示すセル断面図であって、従来例を示す図17と同一構成部分は同一符号をもって表す。すなわち、1はシリコン基板、2はソース拡散層、3aはドレイン拡散層、4はゲート絶縁膜、5はフローティングゲート、6はPoly-Poly層間絶縁膜、7はコントロールゲートをそれぞれ示している。

【0022】本メモリセルは、ドレイン拡散層3aの構造がソース拡散層2の構造よりも、フローティングゲート5とのオーバーラップ部分が大きく、かつ、その部分での拡散濃度が高く設定された、いわゆる非対称型メモリセルとして構成されている。

40 【0023】このように構成されたDINOR型メモリセルにおいては、ソース側からの拡散層の伸びを抑え、短チャネル現象の増大をドレイン側のみに限定できる。その結果、ドレイン空乏層の広がりによるデータ書き込み必要電圧の上昇を防ぎ、データ書き込み特性のバラツキを小さくし、さらには、データ書き込み動作を繰り返すうちに生じるゲート絶縁膜4の劣化による信頼性低下をも防止することが可能となる。

50 【0024】次に、図2～図13を参照しながら、図1のDINOR型フラッシュEEPROMの製造方法について説明する。なお、図2～図13はそれぞれ図15のレイアウトパターン図中のA-A線における断面図に相当する。

## 5

【0025】まず、図2に示すように、シリコン基板1上に、10~11nmのゲート絶縁膜4を形成した後、100~200nm程度のフローティングゲートとなる第1ポリシリコン層51をCVD法により形成する。

【0026】次に、図3に示すように、選択トランジスタST部となる第1ポリシリコン層51を選択除去した後に、フローティングゲートとコントロールゲート間のPoly-Poly層間絶縁膜用のONO積層酸化膜61を形成する。このONO積層酸化膜61は、たとえば次のように形成される。まず、第1ポリシリコンの熱酸化により、14nm程度の熱酸化膜を形成する。次に、11nm程度のSi<sub>3</sub>N<sub>4</sub>膜をCVD法により形成する。最後にSi<sub>3</sub>N<sub>4</sub>膜上に熱酸化により2nm程度の熱酸化膜を形成する。このようにして形成されるONO積層酸化膜61の膜厚は、SiO<sub>2</sub>換算で22nm程度となる。

【0027】次に、図4に示すように、選択トランジスタ部のONO積層酸化膜61を選択的に除去する。次いで、図5に示すように、選択トランジスタ部のゲート絶縁膜41を熱酸化により形成する。このゲート絶縁膜41は、高耐圧仕様のため、たとえば~30nm程度の膜厚に形成される。

【0028】次に、図6に示すように、CVD法により、200nm程度のコントロールゲート7となる第2ポリシリコン層71を形成する。次いで、図7に示すように、第1ポリシリコン層51、第2ポリシリコン層71、ONO積層酸化膜61を加工エッチングして、選択トランジスタST、メモリトランジスタMT1~MT8を形成する。この加工は、一般のEPROMと同様にセルフアラインで行われる。

【0029】次に、図8に示すように、非対称型のソース拡散層2およびドレイン拡散層3aが形成される。この非対称型のソース/ドレイン拡散層2、3aを形成する具体的方法としては、たとえば図9および図10に示す2つの方法がある。

【0030】図9に示す方法では、まず、(A)に示すように、ソース/ドレインに共通のイオン注入を行う。このインプラは、フローティングゲートとのオーバーラップ部分が大きくならないように、たとえばPhos<sup>+</sup>イオンを、40keV、1E14cm<sup>-2</sup>、注入角度7°で行う。次に、図9(B)に示すように、少なくともソース部をレジストPRで覆った状態で、ドレイン部のみのイオン注入を行う。このインプラは、フローティングゲートとのオーバーラップが大きく、かつ、拡散濃度が大きくなるよう、たとえばPhos<sup>+</sup>イオンを40keV、5E15cm<sup>-2</sup>、大注入角度30°で行う。

【0031】また、図10の方法では、ソース/ドレイン別々にイオン注入を行う。まず、図10(A)に示すように、少なくともドレインとなる領域をレジストPRで覆った状態で、ソースにイオン注入を行う。このインプラは、フローティングゲートとのオーバーラップが大

## 6

きくならないように、たとえばPhos<sup>+</sup>イオンを、40keV、1E14cm<sup>-2</sup>、注入角度7°で行う。次に、図9(B)に示すように、ドレイン部のみのイオン注入を行う。このインプラは、フローティングゲートとのオーバーラップが大きくかつ、拡散濃度が大きくなるよう、たとえばPhos<sup>+</sup>イオンを、40keV、5E15cm<sup>-2</sup>、大注入角度30°で行う。

【0032】次に、図11に示すように、第1層間絶縁膜8を200nm~300nmの膜厚に形成後、副ビット線と拡散層との接続用コンタクトホールCNH<sub>SBL</sub>を形成する。次に、図12に示すように、CVD法により副ビット線としての第3ポリシリコン層9を200nm程度形成後、パターニング加工する。次に、図13に示すように、第2層間絶縁膜10を200nm~300nm形成後、主ビット線と副ビットとの接続用コンタクトホールCNH<sub>MBL</sub>を形成する。そして、主ビット線用のアルミニウム(A1)配線11をスパッタ法にて形成後、パターニング加工する。

【0033】以上説明したように、本実施例によれば、DINOR型フラッシュEEPROMにおいて、ソース/ドレイン拡散構造を非対称として、ドレイン側においてソース側におけるよりも、フローティングゲートとのオーバーラップ部分を大きくし、かつ、その拡散濃度を高めに設定したので、データ書き込み時に、ドレイン拡散層の空乏層の広がりを抑え、書き込み必要電圧の上昇を抑えることができる。また、データ書き込みの特性バラツキを抑えることができる。さらに、繰り返し動作によるゲート絶縁膜の劣化によるデータ書き込み特性への影響が小さく、信頼性の向上を図ることができる。

【0034】なお、上述した実施例においては、図15に示すDINOR型フラッシュEEPROMに基づいたセル構造として、ドレイン拡散層3aのフローティングゲート5とのオーバーラップ部分および拡散濃度を、ソース拡散層2より大きく、かつ、高く設定し、データ書き込み時のドレイン拡散層3aの空乏層の広がりを抑えるようにしたが、たとえば、図14に示すように、主ビット線MBLとソースラインSRLとの間に選択トランジスタST2を設け、書き込みおよび消去動作と読み出し動作とで、ソースおよびドレインを切り替えるように構成することも可能である。この構成では、ソース拡散層のフローティングゲート5とのオーバーラップ部分および拡散濃度が、ドレイン拡散層より大きく、かつ、高く設定される。この場合にも、上述した図1の構成と同様の効果を得ることができる。

【0035】

【発明の効果】以上説明したように、本発明によれば、データ書き込み時に、ドレイン拡散層の空乏層の広がりを抑え、書き込み必要電圧の上昇を抑えることができる。データ書き込みの特性バラツキを抑えることができる。繰り返し動作によるゲート絶縁膜の劣化によるデー

タ書き込み特性への影響が小さく、信頼性の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明に係るDINOR型フラッシュEEPROMの一実施例を示すメモリセル断面図である。

【図2】本発明に係るDINOR型フラッシュEEPROMの製造方法を説明するための図であって、ゲート絶縁膜および第1ポリシリコン層の形成工程を説明するための図である。

【図3】本発明に係るDINOR型フラッシュEEPROMの製造方法を説明するための図であって、選択トランジスタ部となる第1ポリシリコン層の選択除去工程およびPoly-Poly層間絶縁膜用のONO積層酸化膜の形成工程を説明するための図である。

【図4】本発明に係るDINOR型フラッシュEEPROMの製造方法を説明するための図であって、選択トランジスタ部のONO積層酸化膜の選択的除去工程を説明するための図である。

【図5】本発明に係るDINOR型フラッシュEEPROMの製造方法を説明するための図であって、選択トランジスタ部のゲート絶縁膜の形成工程を説明するための図である。

【図6】本発明に係るDINOR型フラッシュEEPROMの製造方法を説明するための図であって、第2ポリシリコン層の形成工程を説明するための図である。

【図7】本発明に係るDINOR型フラッシュEEPROMの製造方法を説明するための図であって、選択トランジスタおよびメモリトランジスタ構成用の第1ポリシリコン層、第2ポリシリコン層、ONO積層酸化膜の加工エッチング工程を説明するための図である。

【図8】本発明に係るDINOR型フラッシュEEPROMの製造方法を説明するための図であって、非対称型のソース/ドレイン拡散層の形成工程を説明するための図である。

【図9】非対称型のソース/ドレイン拡散層の第1の形成方法を説明するための図であって、(A)はソース/ドレイン・イオン注入工程を説明するための図、(B)はドレインに対する追加イオン注入工程を説明するための図である。

【図10】非対称型のソース/ドレイン拡散層の第2の形成方法を説明するための図であって、(A)はソース

・イオン注入工程を説明するための図、(B)はドレイン・イオン注入工程を説明するための図である。

【図11】本発明に係るDINOR型フラッシュEEPROMの製造方法を説明するための図であって、第1層間絶縁膜および副ビット線と拡散層との接続用コンタクトホール形成工程を説明するための図である。

【図12】本発明に係るDINOR型フラッシュEEPROMの製造方法を説明するための図であって、第3ポリシリコン層の形成工程およびパターンニング加工工程を説明するための図である。

【図13】本発明に係るDINOR型フラッシュEEPROMの製造方法を説明するための図であって、第2層間絶縁膜の形成工程、主ビット線と副ビットとの接続用コンタクトホール形成工程および主ビット線用のアルミニウム配線の形成、加工工程を説明するための図である。

【図14】DINOR型フラッシュEEPROMの他のメモリアレイ構成を示す図である。

【図15】ビット線方向に8ビット分を単位別に副ビット線に分割した場合の、1ビットライン1副ビット線部のDINOR型フラッシュEEPROMのメモリアレイ構成を示す図である。

【図16】DINOR型フラッシュEEPROMのメモリアレイパターンを示す図である。

【図17】従来のDINOR型フラッシュEEPROMのセル構造例を示す断面図である。

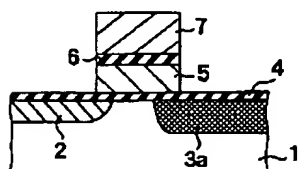
【図18】DINOR型フラッシュEEPROMの消去、書き込み、読み出しの各動作時の設定電圧を示す図である。

【図19】従来のメモリセルにおけるデータ書き込み動作によるドレイン端近傍の劣化現象を説明するための図である。

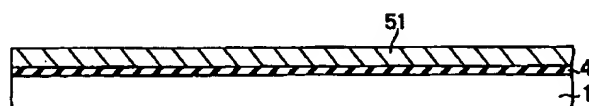
【符号の説明】

- 1…シリコン基板
- 2…ソース拡散層
- 3a…ドレイン拡散層
- 4…ゲート絶縁膜
- 5…フローティングゲート
- 6…Poly-Poly層間絶縁膜
- 7…コントロールゲート

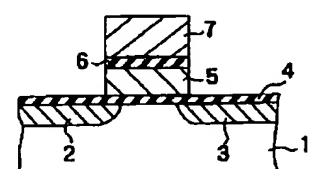
【図1】



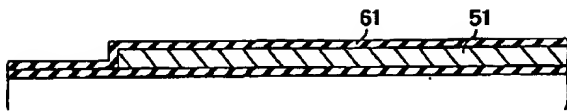
【図2】



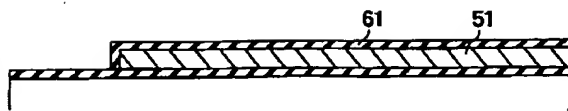
【図17】



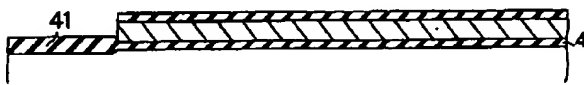
【図3】



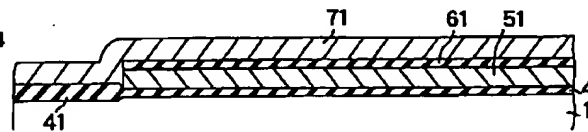
【図4】



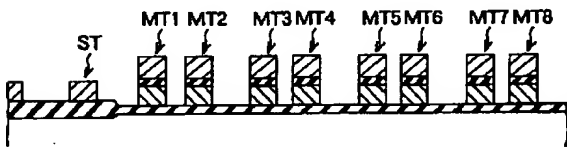
【図5】



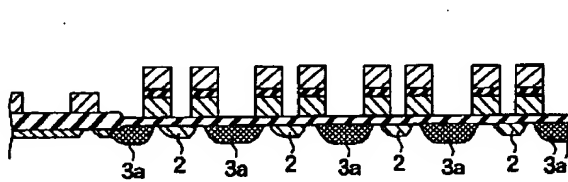
【図6】



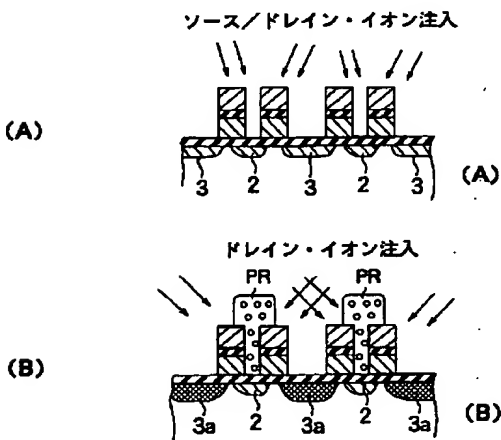
【図7】



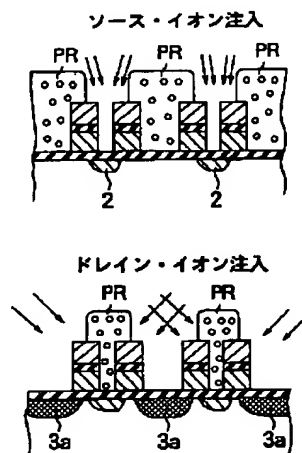
【図8】



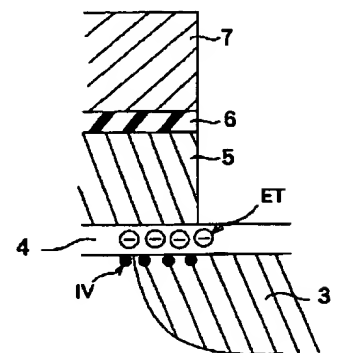
【図9】



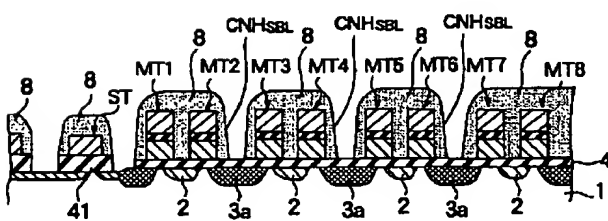
【図10】



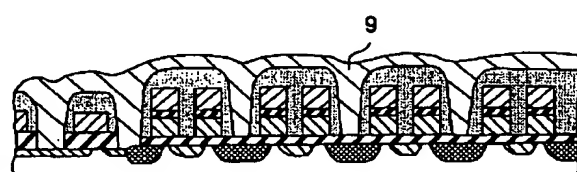
【図19】



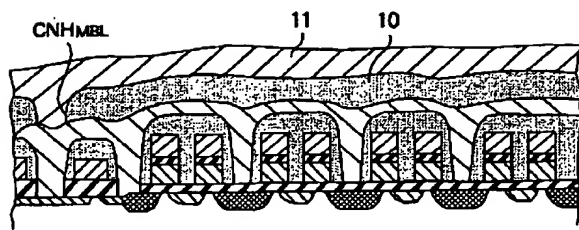
【図11】



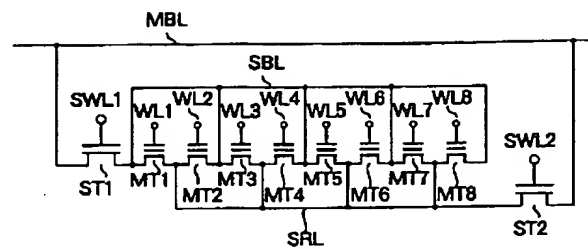
【図12】



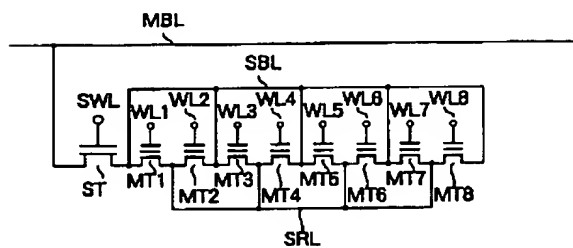
【図13】



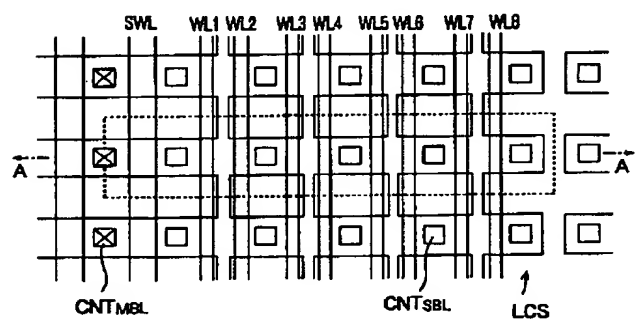
【図14】



【図15】



【図16】



【図18】

	SWL	WL	BL	SRL	基板
消去	0V	10~20V	フローティング	-5~-6V	-5~-6V
「1」データ書き込み	10~15V	-10~-15V	5~6V	フローティング	0V
「0」データ書き込み	10~15V	-10~-15V	0V	フローティング	0V
読み出し	3~5V	3~5V	1~2V	0V	0V

フロントページの続き

(51)Int. Cl. <sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H O I L 27/115